

차세대 CMOS dual metal gate용 Mo계열 합금 전극에 관한 연구

오태관¹ · 원상희¹ · 김지영^{1,2*}

¹국민대학교 신소재공학부

²Dept. of Electrical Eng., The University of Texas at Dallas

Characteristics of Mo Based Alloys for Advanced Dual Metal Electrode Applications

Taekwan Oh¹, Sanghee Won¹, and Jiyoung Kim^{1,2}

¹School of Advanced Materials Eng., Kookmin University, Seoul 136-702, Korea

²Dept. of Electrical Eng., The University of Texas at Dallas, Richardson, 75083, USA

Mo based alloy electrodes on top of SiO₂ layer as gate dielectrics were fabricated for advanced dual metal gate applications. Characteristics of sputtered Mo, MoN, MoSi and MoSiN alloy films were evaluated up to 1000 °C for 15 sec RTA annealing in a nitrogen ambient. MoSi_x showed a low resistivity of 70 μΩ cm after RTA annealing at 1000 °C. The flat band voltage (V_{FB}) of MoSi_x gate electrodes can be controlled by varying the silicon concentration during deposition of metal gate electrodes.

Keywords: Mo alloys, dual metal gate, flat band voltage, advanced CMOS

1. 서 론

MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 소자가 집적화되고 소형화됨에 따라 소자의 성능이 향상되었으며 소자의 정보 처리 속도를 증가시킬 수 있었다. 이런 소자 성능의 향상에는 유전박막두께(EOT, the equivalent gate oxide thickness)의 감소가 가장 큰 역할을 해 왔다. 그러나 앞으로 예상되는 45 nm급 저전력 동작 MOSFET에서는 1.1 nm의 SiO₂ 유전박막을 필요로 하고 있으나^[1], 기존의 Poly-Si / SiO₂의 게이트 구조는 여러 가지 문제점을 나타내고 있다. 특히 유전박막의 두께가 얇아지면서 누설전류가 증가하고, 게이트 전극인 poly-Si에서는 캐패시턴스의 증가에 의한 분극전하량의 증가를 충족시킬 수 있는 충분한 양의 전하운반자가 존재하지 못하기 때문에 Gate depletion 현상이 발생하게 된다. 이로 인하여, 유효 캐패시턴스가 감소하게 되는 동시에 게이트 전극의 저항이 증가하기 때문에 소자의 성능의 향상에 어려운 문제가 발생하게 된다. 또한, 이런 Poly-Si gate depletion 현상^[2]과 게이트 전극의 저항을 줄이기 위해 Poly-Si의 doping 농도를 증가하게 되

면 PMOS의 경우에는 기판으로 사용되는 p형 poly-Si의 주요 dopant인 B(boron)이 열처리 동안에 극박막의 SiO₂ 유전박막을 통과해 Si 기판으로 확산하여 문턱전압을 불안정하게 만드는 dopant penetration 현상^[3]을 초래하게 되어 심각한 문제점을 나타내고 있다. 따라서 이러한 Poly-Si gate electrode의 gate depletion과 dopant penetration의 문제점을 해결하고 게이트 저항을 줄일 수 있는 대안으로 기존의 Poly-Si 게이트 전극의 대체 물질로 여러 가지 금속전극에 대한 연구가 많이 진행되고 있다.

이런 금속 gate 전극을 사용하기 위해서는 게이트 절연막과 전기적/열적 안정성 그리고 낮은 비저항 등의 특성을 가지는 동시에 dual metal gate로의 응용이 가능하기 위하여 적절하게 금속의 일함수를 조절할 수 있는 금속 시스템이 게이트 전극으로 필요하다. 최근의 연구동향을 살펴보면, Mo^[4-6], MoN^[7,8], metal alloys Ru/Ta^[9], silicides NiSi^[10], laminated metal gate^[11,12] 등 다양한 alloy system들이 일함수의 “tunability”를 목적으로 연구되고 있다. 본 연구에서는 게이트 절연막으로 SiO₂ 유전체를 사용하여 여러 gate 전극 후보 물질 중에서 Mo를 기초로 하는 Mo계열합금에 대한 실험을 진행하였다. Molybdenum은 0.5 Ω/□ 이하의 낮은 면저항과 2623 °C의 높은 melting point를 가지고

*Corresponding author: jyoung@kookmin.ac.kr

있으며 midgap work function(4.1~4.6 eV)를 갖고 있기 때문에 현재 Mo 계열합금은 열적 안정성이 우수한 물질로서 tunable threshold voltage용 dual metal gate로 연구되는 물질 중의 하나이다. Mo 박막에 N을 Ion Implantation 방식으로 첨가함으로써 일함수를 변경시키는 연구^{6,7)}가 다수 보고되어 실용적인 metal gate의 일함수 조절 공정으로 평가되고 있다. 따라서 본 논문에서는 Mo 계열합금에 대해 구체적으로 조성 변화에 따른 열적 안정성을 평가하고 1000 °C의 열처리에서도 안정한 gate 전극 형성에 대해 실험을 진행하였다.

2. 실험방법

본 실험에서는 Metal-Oxide-Semiconductor(MOS)를 제작하기 위하여 Si wafer(100)를 RCA cleaning과 HF cleaning 처리하여 유기물 및 native oxide를 제거한 후, furnace에서 건식산화 방식으로 SiO₂ 박막을 원하는 두께로 균일하게 성장시켰다. 그다음 성장시킨 SiO₂ 위에 게이트 전극의 패턴은 Shadow mask를 사용하여 3.14×10⁻⁴ cm² 크기로 일정하게 형성시켰으며, gate 전극은 DC sputter를 사용하여 Mo, MoN, MoSi, MoSiN 등의 여러 가지 조성의 합금을 증착하였다. MoSi gate 전극은 Mo target 위에 5 mm×5 mm 크기의 silicon chip을 올려 증착하였으며, MoN gate 전극은 N₂ gas를 Ar과 함께 첨가하여 DC reactive sputtering을 실시하였다. 삼원계 MoSiN gate 전극은 Mo target 위에 5 mm×5 mm 크기의 silicon chip을 올린 후 N₂ gas를 Ar과 함께 첨가해 주면서 sputtering하여 증착하였다.

Gate 전극의 패턴을 형성한 후 증착한 gate 전극의 열적 안정성 및 전기적 특성을 평가하기 위해 Rapid Thermal Annealer (RTA)를 사용하여 진공상태에서 600 °C, 800 °C, 1000 °C로 15 초간 열처리하였다. 또한 gate 전극의 증착 시에 형성된 plasma damage를 제거하기 위해 Forming Gas Annealing (FGA) 처리를 400 °C에서 30분 동안 N₂: H₂ = 90% : 10%의 분위기에서 실시하였다. 마지막으로 ohmic contact을 위해 gate 전극을 증착한 wafer 뒷면에 형성된 oxide를 BOE(buffered oxide etch 6:1) 용액으로 제거한 후 silver paste를 사용하여 Cu plate에 접착시켰다. MOS 소자의 비저항은 4-point probe를 사용하여 측정하였으며, HP4284A로 C-V curve를 측정하였다. 또한 leakage current는 Keithley 6517A를 사용하였고, AFM과 XRD 및 AES 등의 분석을 통해 소자의 물리적 특성을 평가하였다.

3. 결과 및 고찰

그림 1은 Mo 계열의 합금 중에서 nitride, silicide 그리고 3 원계인 silicon-nitride 를 RTA를 사용하여 nitrogen 분위기에서 15 초 동안 열처리를 실시한 후의 비저항을 나타내었다. 대부분의 gate 전극의 비저항이 열처리 온도가 증가할수록 낮아지는

경향을 확인할 수 있었다. 금속 Mo 전극의 경우에는 모든 온도에서 20 μΩ-cm 이하의 매우 낮은 비저항을 유지하는 것을 확

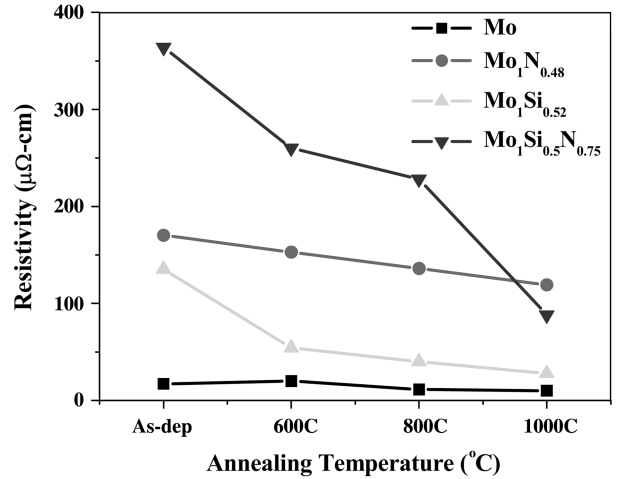


Fig. 1. The resistivity of Mo based metal gate electrodes after RTA treatments in N₂ ambient at various temperatures for 15 sec, respectively.

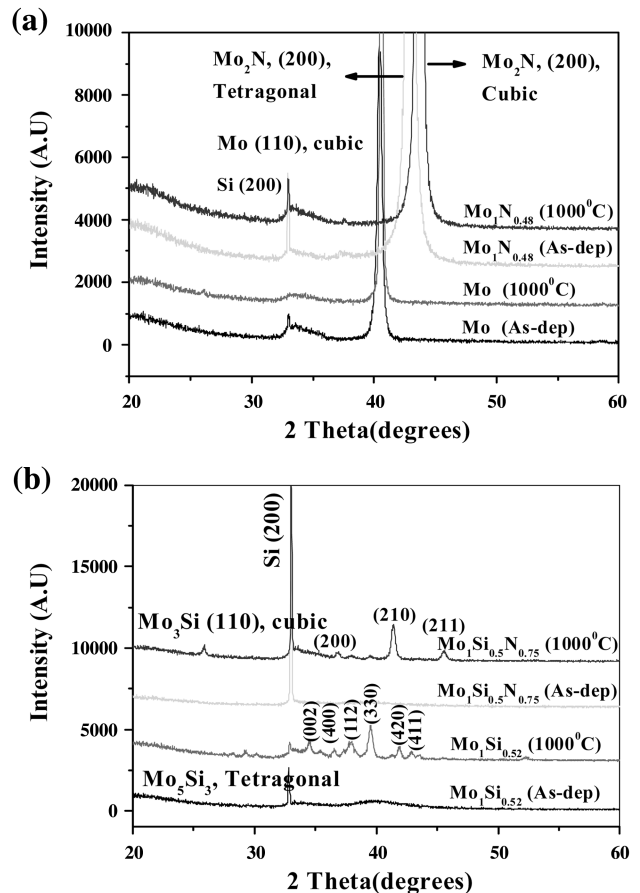


Fig. 2. The XRD pattern of Mo based metal gate electrodes after RTA treatments in N₂ ambient at 1000°C for 15 sec, respectively.

인하였다. Nitrogen이 첨가된 MoN 박막의 경우에는 다른 합금보다 비교적 높은 비저항을 나타내었으며 1000 °C 열처리 이후에도 100 $\mu\Omega\text{-cm}$ 이상의 비저항을 나타내는 것을 확인하였다. 그림에 나타내지는 않았지만 MoN 및 MoSiN의 경우 nitrogen의 함량을 증가시킬수록 높은 비저항을 나타내었으며, MoSi 합금의 경우 Si의 함량과 상관없이 70 $\mu\Omega\text{-cm}$ 이하의 낮은 비저항을 유지하는 것을 관찰할 수 있었다.

그림 2는 Mo 계열 합금들의 열처리 전과 후의 XRD 분석 결과를 나타내었다. 그림 2(a)의 Mo 및 MoN 박막은 as-deposition 상태에서 결정화가 이루어져 있는 반면에 그림 2 (b)의 MoSi, MoSiN는 as-dep의 상태에서는 비정질의 amorphous 상태를 나타내고 있으며, 모든 Mo 계열의 합금 전극이 열처리 이후에 결정화가 이루어지는 것을 확인할 수 있었다. Mo gate 전극의 경우에는 (110) 방향으로 선택적 성장을 나타내었으며, 열처리 온도가 높아짐에 따라 결정화가 증가됨을 확인할 수 있었다. Mo₁N_{0.48} gate 전극의 경우에는 as-dep 상태에서 Mo₂N(200)의 tetragonal phase가 1000 °C 열처리 이후 Mo₂N(200)의 cubic phase로 상변태가 이루어지는 특성을 나타내었다. 고온 열처리 이후의 이와 같은 결정화 증가 및 상변태로 인해 재료의 물리적 및 전기적 특성이 크게 변화되어 소자 제작 시 불안정한 특

성을 나타낼 것으로 예상된다. Mo₁Si_{0.52} 및 Mo₁Si_{0.5}N_{0.75} 전극은 1000 °C의 고온 열처리 후에도 결정화가 적게 이루어지는 모습을 관찰할 수 있었으며, 특히 Mo₁Si_{0.52} 전극의 경우에는 1000 °C의 고온 열처리 이후에 Mo₅Si₃ tetragonal phase가 결정화 되는 것을 확인할 수 있었다.

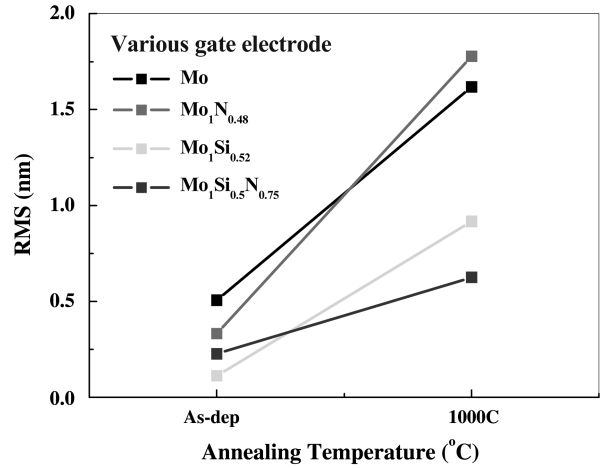


Fig. 3. The surface roughness of Mo based metal gate electrodes after RTA treatment in N₂ ambient at 1000 °C for 15 sec, respectively.

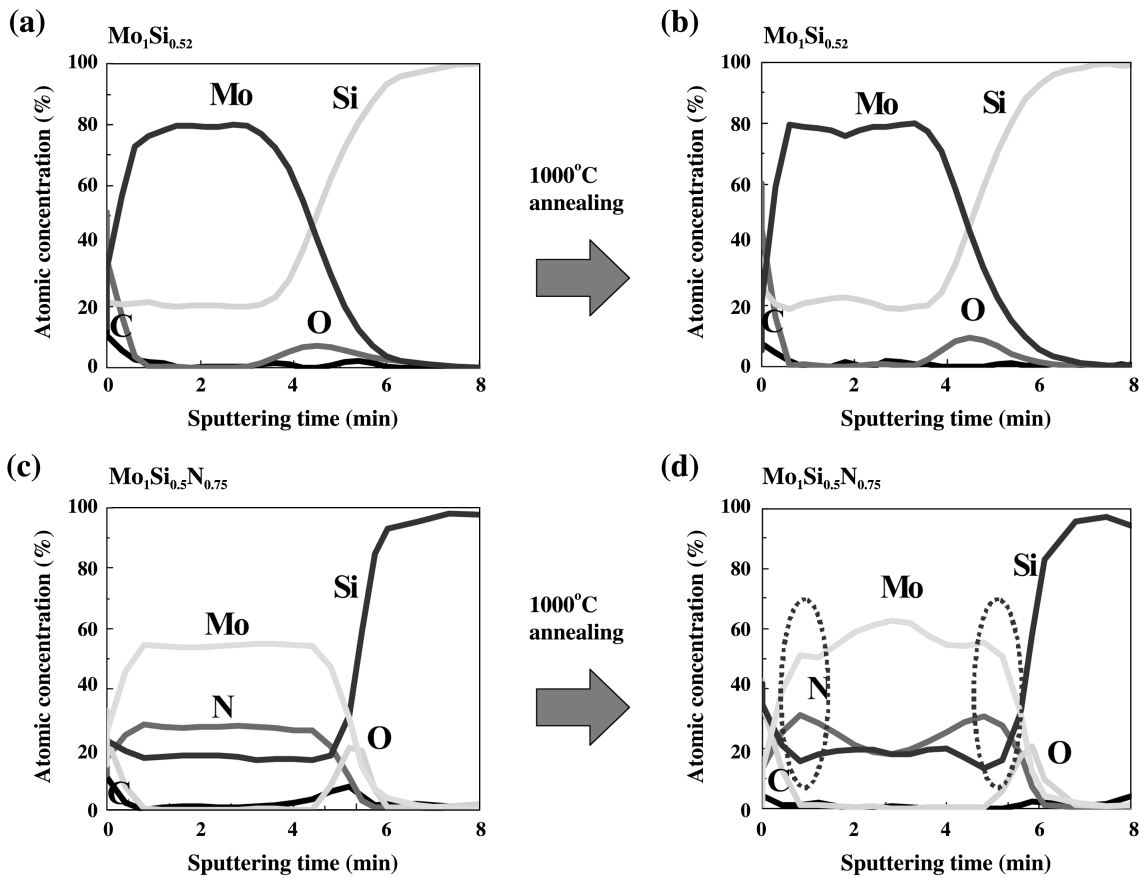


Fig. 4. The AES depth profile of Mo₁Si_{0.52} and Mo₁Si_{0.5}N_{0.75} gate electrodes after RTP treatment in N₂ ambient at 1000 °C for 15 sec, respectively.

그림 3은 Mo 계열 합금들의 열처리 전, 후의 표면 roughness를 AFM을 사용하여 측정된 결과이다. 그림 2의 XRD 분석 결과에서 예상할 수 있듯이 열처리 이후에 결정화가 많이 이루어진 gate 전극일수록 표면 roughness가 증가하는 것을 확인할 수 있었다. Mo 전극은 as-deposition 상태에서 가장 높은 표면 roughness를 나타냈으며 1000 °C 열처리 이후에 (110) 방향의 결정화 증가로 인해 표면 roughness가 많이 증가하였다. 또한, $\text{Mo}_1\text{N}_{0.48}$ 전극은 Mo_2N tetragonal phase에서 Mo_2N cubic phase로 상변태가 이루어지기 때문에 가장 높은 표면 roughness의 증가를 나타내었다. $\text{Mo}_1\text{Si}_{0.52}$ 및 $\text{Mo}_1\text{Si}_{0.5}\text{N}_{0.75}$ 전극은 그림 2의 XRD 분석 결과에서 알 수 있듯이 Si과의 결합으로 인해 결정화가 억제되어 1000 °C 열처리 이후에도 표면 roughness가 낮게 유지되는 것을 확인할 수 있었다. 이런 Mo 및 MoN 전극의

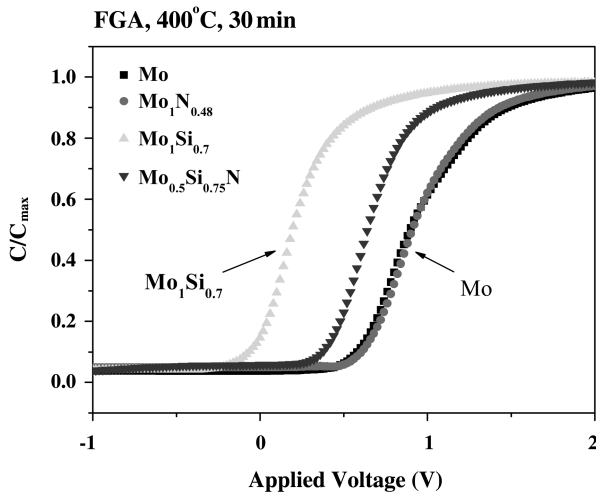


Fig. 5. The C-V curves of Mo based metal gate electrodes after FGA at 400 °C for 30 min.

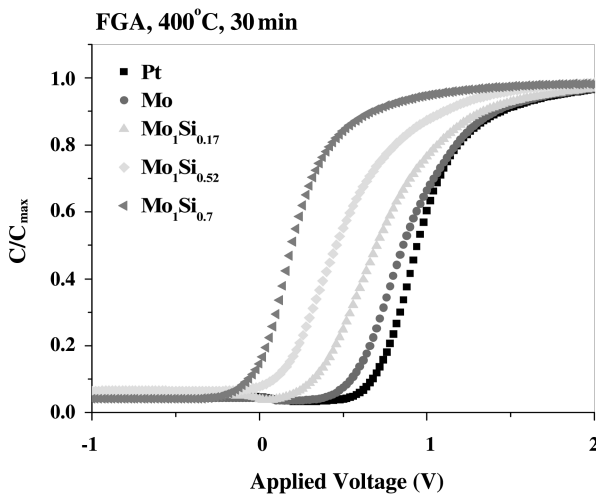


Fig. 6. The C-V curves of the Mo_xSi_y metal gate electrode with various Si concentrations after FGA at 400 °C for 30 min.

표면 roughness의 증가는 공정상에 원하지 않는 stress 효과를 나타내는 불안정한 특성을 것으로 생각된다.

그림 4는 RTA 열처리를 실시한 MoSi 및 MoSiN 전극의 Auger Depth Profile을 나타내었다. Mo gate 전극의 경우에는 1000 °C 열처리 이후에 Mo가 SiO_2 내부로 확산되는 것을 확인할 수 있었으나, $\text{Mo}_1\text{Si}_{0.52}$ 전극의 경우에는 열처리 이후에도 안정한 내부계면을 유지하는 것을 관찰할 수 있었다. 그러나, $\text{Mo}_1\text{Si}_{0.5}\text{N}_{0.75}$ 전극의 경우에는 열처리 이후 nitrogen이 표면과 내부계면으로 집중되어 조성의 분포가 불안정해지는 것을 확인하였다. 따라서, 열처리 이후에 발생하는 nitrogen의 확산으로 인해 gate 전극의 V_{FB} 조절 및 열적 안정성에 문제점이 발생할 것으로 예상된다.

그림 5은 Mo 계열 합금 전극의 V_{FB} 를 비교하기 위해 각각의 전극을 400 °C에서 30분 동안 $\text{N}_2:\text{H}_2=90\%:10\%$ 의 분위기에서 FGA 처리를 실시한 후 측정된 C-V curve를 나타낸 것이다. Mo gate 전극의 C-V curve를 기준으로 $\text{Mo}_1\text{N}_{0.48}$ gate 전극의 C-V curve는 큰 차이를 나타내지 않은 반면에, $\text{Mo}_1\text{Si}_{0.7}$ gate 전극의 경우에는 C-V curve가 음의 방향으로 약 0.7 V 정도 이동한 것을 확인할 수 있었다. 따라서 우리는 MoSi gate 전극의 Si 함량에 따른 V_{FB} 의 tunability에 대해 좀 더 자세한 실험을 진행하였다.

그림 6은 MoSi gate 전극의 Si 함량에 따른 V_{FB} tunability를 살펴보기 위해 Mo target위에 5 mm×5 mm 크기의 Si chip의 개수를 변화시키면서 co-sputtering 방식을 이용하여 Si의 함량이 다른 MoSi gate 전극을 형성하여 측정된 C-V curve이다. Si의 함량이 증가할수록 MoSi gate 전극의 C-V curve가 negative 방향으로 이동하는 것을 관찰할 수 있었으며, V_{FB} 의 값을 V_{FB} in $C/C_{\text{max}}=0.2$ 로 정하였을 때 Mo gate 전극과 $\text{Mo}_1\text{Si}_{0.7}$ gate 전극과의 V_{FB} 차이가 약 0.7 V 정도 되는 것을 확인할 수 있었다.

4. 결 론

Metal gate 전극의 많은 후보 금속 중에서 Mo 계열합금의 기초적인 특성을 확인하였으며 V_{FB} 의 tunability에 대한 연구를 진행하였다. Mo계열의 합금들 중 MoSi gate 전극은 1000 °C의 고온 열처리 후에도 MoN 및 MoSiN gate 전극에 비해 $70 \mu\Omega\text{-cm}$ 이하의 낮은 비저항을 가지고 있으며, Mo 및 MoSiN gate 전극과는 달리 열처리 이후 계면확산이 이루어지지 않는 열적으로 매우 안정한 조성을 나타내었다. 또한, MoSi gate 전극은 silicon의 함량을 변화시킴으로써 V_{FB} 를 쉽게 변화시킬 수 있어 차세대 CMOS용 dual metal gate 전극으로 적용이 가능할 것으로 예상된다.

감사의 글

본 논문은 과학기술부와 산업자원부가 지원하는 국가 반도체

체 연구개발사업인 “시스템 집적 반도체 기반 기술개발사업 (시스템 IC 2010)”을 통해 개발된 결과임을 밝힙니다.

참고문헌

1. International Technology Roadmap for Semiconductors, Semiconductor Industry Association (2004).
2. Wen-Chin Lee, Watson, B., Tsu-Jae King, and Chenming Hu, *IEEE Electron Device Lett.* **20**, 232 (1999).
3. H. S. Momose, S. I. Nakamura, T. Ohguro, T. Yoshitomi, E. Morifuji, T. Morimoto, Y. Katsumata, and H. Iwai, *IEEE Transactions on Electron Devices* **45**, 691 (1998).
4. Qiang Lu, Ronald Lin, Pushkar Ranade, Tsu-Jae King, Chenming Hu, *2001 Symposium on VLSI Technology Digest of Technical Papers*, p.45 (2002).
5. Q. Lu, R. Lin, P. Ranade, Y. C. Yeo, X. Meng, H. Takeuchi, T.-J. King, C. Hu, H. Luan, S. J. Lee, W. Bai, C.-H. Lee, D.-L. Kwong, X. Guo, X. Wang, and T.-P. Ma, *IEDM Tech. Dig.* p.641 (2000).
6. Y.-C. Yeo, Q. Lu, P. Ranade, H. Takeuchi, and K. J. Yang, I. Polishchuk, T.-J. King, C. Hu, S. C. Song, H. F. Luan, and D.-L. Kwong, *IEEE Electron Device Lett.* **22**, 227 (2001).
7. Ronald Lin, Qiang Lu, Pushkar Ranade, Tsu-Jae King, and Chenming Hu, *IEEE Electron Device Lett.* **23**, 49 (2002).
8. P. Ranade, Y.-K. Choi, D. Ha, A. Agarwal, M. Ameen, and T.-J. King, *IEDM Tech. Dig.* p.363 (2002).
9. V. Misra, H. Zhong, and H. Lazar, *IEEE Electron Device Lett.* **23**, 354 (2002).
10. J. H. Sim, H. C. Wen, J. P. Lu, and D. L. Kwong, *IEEE Electron Device Lett.* **24**, 631 (2003).
11. W. P. Bai, S. H. Bae, H. C. Wen, S. Mathew, L. K. Bera, N. Balasubramanian, N. Yamada, M. F. Li, and D. L. Kwong, *IEEE Electron Device Lett.* **26**, 231 (2005).
12. I. S. Jeon, J. Lee, P. Zhao, P. Sivasubramani, T. Oh, H. J. Kim, D. Cha, J. Huang, M. J. Kim, B. E. Gnade, J. Kim, and R. M. Wallace, *IEDM Tech. Dig.* p.303 (2004).